

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11045215 A**(43) Date of publication of application: **16.02.99**

(51) Int. Cl

G06F 13/00
G06F 11/22
G06F 11/22

(21) Application number: **09203533**(71) Applicant: **PFU LTD**(22) Date of filing: **29.07.97**(72) Inventor: **MIWA KAZUHIKO**

(54) **DEVICE AND METHOD FOR EVALUATING AND TESTING SYSTEM BUS AND RECORD MEDIUM**

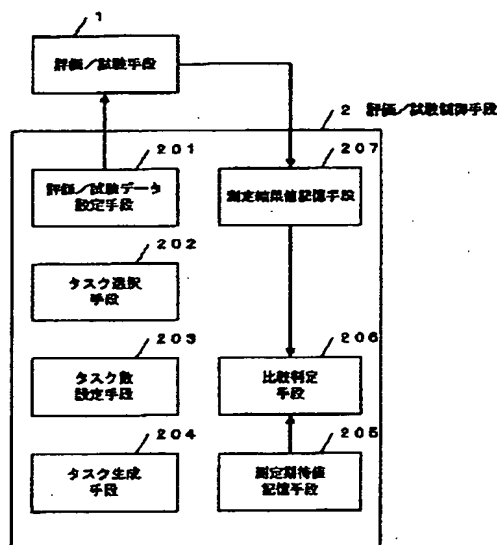
values and displays the results at a display part.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To shorten the period from a test of the system bus alone to its evaluation and test by evaluating and testing the system bus by a test program alone without using an operating system.

SOLUTION: An evaluation/test data setting means 201 of an evaluation/test control means 2 sets evaluation/test data and a task selecting means 202 selects an evaluating/testing for a target evaluation/test item or a specific evaluating/ testing means when it is not selected. A task quantity setting means 203 sets the number of CPUs which can operate in the system to be evaluated and tested as the number of tasks and a task generating means 204 sets the number of tasks which are set previously. A measurement expected value storage means 205 stores measurement expected values by evaluating/ testing means for the system bus. The calculated result values of measurements is stored in a measurement result value storage means 207. A comparison decision means 206 decides whether or not the evaluation/test contents are good according to the measurement result values and measurement expected



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-45215

(43)公開日 平成11年(1999) 2月16日

(51)Int.Cl. ⁶	識別記号	F I	
G 0 6 F 13/00	3 0 1	G 0 6 F 13/00	3 0 1 T
11/22	3 1 0	11/22	3 1 0 A
			3 1 0 F
	3 7 0		3 7 0 E

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21)出願番号 特願平9-203533

(22)出願日 平成9年(1997) 7月29日

(71)出願人 000136136

株式会社ピーエフユー

石川県河北郡宇ノ気町宇野気ヌ98番地の
2

(72)発明者 三輪 和彦

石川県河北郡宇ノ気町宇野気ヌ98番地の
2 株式会社ピーエフユー内

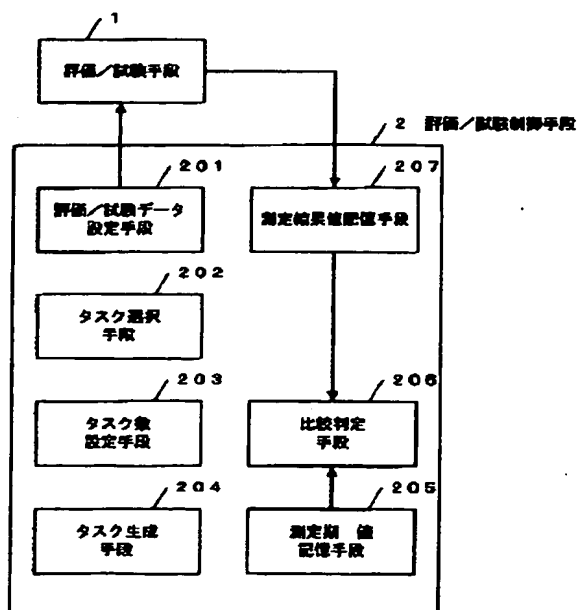
(54)【発明の名称】 システムバス評価／試験装置および方法および記録媒体

(57)【要約】

【課題】 従来のシステムバス評価／試験方法は、最初に簡単なプログラム構成による単体試験後に単体評価を行い、次に機能主体形のテストプログラムにより基本機能を確認後、OS配下で動作するベンチマークテストなどにより行うという方法であった。このため、OSの開発が完了するまでシステムバス評価／試験が行えず、システムバスの単体試験からシステムバス評価／試験までの期間が非常に長く掛かるという問題点があった。また、OS配下のシステムバス評価／試験は、その測定結果に問題があった場合、原因がハードウェアまたはソフトウェアによるものかを切り分ける作業に時間がかかるという問題点があった。

【解決手段】 システムバス評価／試験をOSを使用せず、テストプログラム単独で行うようにすることにより、OSの開発が完了するのを待つ必要もなくなり、システムバス単体試験からシステムバス評価／試験までの期間を大幅に短縮できる。

本発明の構成ブロック図



1

【特許請求の範囲】

【請求項1】 システムバスの各評価／試験項目毎にあり、システムバス評価／試験を実行する評価／試験手段(1)と、

評価／試験手段の評価／試験データおよび評価／試験項目の設定、評価／試験手段の起動と終結の監視、評価／試験手段で獲得された測定値の良否判定などを行う評価／試験制御手段(2)とで構成され、かつ、

評価／試験制御手段(2)が入力コマンドにより評価／試験データを設定、または入力コマンドで評価／試験データが指定されなかったとき、所定の評価／試験データを設定する評価／試験データ設定手段(201)と、入力コマンドにより目的とする評価／試験項目に対する評価／試験手段を選択、または入力コマンドにより目的とする評価／試験項目に対する評価／試験手段を選択しないとき、所定の評価／試験手段を選択するタスク選択手段(202)と、

評価／試験対象のシステム内にある動作可能なCPU数をタスク数として設定するタスク数設定手段(203)と、

タスク数設定手段で設定されたタスク数を生成するタスク生成手段(204)と、

システムバスの各評価／試験手段毎の測定期待値を記憶する測定期待値記憶手段(205)と、

評価／試験手段で算出された測定の結果値が格納される測定結果値記憶手段(207)と、

測定結果値と測定期待値から評価／試験内容の良否判定を行い、表示部に結果を表示する比較判定手段(206)と、

で構成されることを特徴とするシステムバス評価／試験装置。

【請求項2】 メモリとプロセッサ間、またはプロセッサとプロセッサ間のシステムバス評価／試験方法において、

プロセッサの2次キャッシュの4倍に当たる領域を連続する作業領域A、作業領域B、作業領域C、作業領域Dとしてメモリに獲得し、

測定で使用する命令列を1次キャッシュに読込ませ、

2次キャッシュにライトバック動作を行う設定、または2次キャッシュにライトバック動作を行わない設定を行い、

作業領域A、作業領域B、作業領域C、作業領域Dの先頭アドレスから終了アドレスまたは終了アドレスから先頭アドレスへと相対アドレスが同じとなるアドレスを順次リードアクセスし、

所定のアクセス回数に要した時間を算出し、

算出した時間と期待時間とを比較して良否判定を行うメモリとプロセッサ間、またはプロセッサとプロセッサ間のシステムバス評価／試験方法。

【請求項3】 メモリとプロセッサ間、またはプロセ

2

ッサとプロセッサ間のシステムバス評価／試験を行うプログラムが記録された記録媒体において、

プロセッサの2次キャッシュの4倍に当たる領域を連続する作業領域A、作業領域B、作業領域C、作業領域Dとしてメモリに獲得し、

測定で使用する命令列を1次キャッシュに読込ませ、

2次キャッシュにライトバック動作を行う設定、または2次キャッシュにライトバック動作を行わない設定を行い、

10 作業領域A、作業領域B、作業領域C、作業領域Dの先頭アドレスから終了アドレスまたは終了アドレスから先頭アドレスへと相対アドレスが同じとなるアドレスを順次リードアクセスし、

所定のアクセス回数に要した時間を算出し、

算出した時間と期待時間とを比較して良否判定を行うプログラムを記録したコンピュータ読取り可能な記録媒体。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】この発明は、システムバス評価／試験装置および方法に関するものであり、特に、システムバス評価／試験を汎用のオペレーティングシステム(以下、OSと示す)を使用せず、テストプログラム単独で行うようにする。

【0002】

【従来の技術】従来のシステムバス評価／試験方法は、最初に簡単なプログラム構成による単体試験後に単体評価を行い、次に機能主体形のテストプログラムにより基本機能を確認後、OS配下で動作するベンチマークテストにより行うという方法で行われていた。

【0003】また、従来メモリとプロセッサ間、またはプロセッサとプロセッサ間のシステムバス評価／試験方法は、簡単なプログラムを実行させ、波形を観測することで行っていた。

【0004】

【発明が解決しようとする課題】しかしながら、上記のシステムバス評価／試験方法は、最終的にOS配下で行うため、OSの開発が完了するまでシステムバス評価／試験が行えず、システムバスの単体試験からシステムバス評価／試験までの期間が非常に長く掛かるという問題点があった。

【0005】また、OS配下のシステムバス評価／試験では、その測定結果に問題があった場合、原因がハードウェアの動作によるものか、ソフトウェアの制御によるものかの切り分け作業が必要になる。そして、その切り分け作業が長時間かかることがあるという問題点があった。

【0006】また、メモリとプロセッサ間、またはプロセッサとプロセッサ間のシステムバス評価／試験方法は、プログラムの起動や波形観測のためのセッティング

などの手作業があり、多くの時間を必要とするという問題点があった。そして、2次キャッシュ動作を含んだ場合、正確なシステムバス評価/試験ができないという問題点があった。

【0007】

【課題を解決するための手段】この発明は上記のような問題点を考慮してなされたもので、システムバス評価/試験をOSを使用せず、テストプログラム単独で行うようにするものである。

【0008】

【発明の実施の形態】システムバス評価/試験装置において、システムバスの各評価/試験項目毎にあり、システムバス評価/試験を実行する評価/試験手段と、評価/試験手段の評価/試験データおよび評価/試験項目の設定、評価/試験手段の起動と終結の監視、評価/試験手段で獲得された測定値の良否判定などを行う評価/試験制御手段とで構成され、かつ、評価/試験制御手段が入力コマンドにより評価/試験データを設定、または入力コマンドで評価/試験データが指定されなかったとき、所定の評価/試験データを設定する評価/試験データ設定手段と、入力コマンドにより目的とする評価/試験項目に対する評価/試験手段を選択、または入力コマンドにより目的とする評価/試験項目に対する評価/試験手段を選択しないとき、所定の評価/試験手段を選択するタスク選択手段と、評価/試験対象のシステム内にある動作可能なCPU数をタスク数として設定するタスク数設定手段と、タスク数設定手段で設定されたタスク数を生成するタスク生成手段と、システムバスの各評価/試験手段毎の測定期待値を記憶する測定期待値記憶手段と、評価/試験手段で算出された測定の結果値が格納される測定結果値記憶手段と、測定結果値と測定期待値から評価/試験内容の良否判定を行い、表示部に結果を表示する比較判定手段と、で構成されるシステムバス評価/試験ツールにより、システムバス評価/試験を単独で行うことが可能となる。

【0009】メモリとプロセッサ間、またはプロセッサとプロセッサ間のシステムバス評価/試験方法において、プロセッサの2次キャッシュの4倍に当たる領域を連続する作業領域A、作業領域B、作業領域C、作業領域Dとしてメモリに獲得し、測定で使用する命令列を1次キャッシュに読込ませ、2次キャッシュにライトバック動作を行う設定、または2次キャッシュにライトバック動作を行わない設定を行い、作業領域A、作業領域B、作業領域C、作業領域Dの先頭アドレスから終了アドレスまたは終了アドレスから先頭アドレスへと相対アドレスが同じとなるアドレスを順次リードアクセスし、所定のアクセス回数に要した時間を算出し、算出した時間と期待時間とを比較して良否判定を行うことにより、メモリとプロセッサ間、またはプロセッサとプロセッサ間のシステムバス評価/試験を容易に行うことが可能と

なる。

【0010】

【実施例】図1に、本発明の構成ブロック図を示す。図中、1はシステムバスの各評価/試験項目毎にあり、システムバス評価/試験を実行する評価/試験手段、2は評価/試験手段の評価/試験データおよび評価/試験項目の設定、評価/試験手段の起動と終結の監視、評価/試験手段で獲得された測定値の良否判定などを行う評価/試験制御手段である。

10 【0011】そして、評価/試験制御手段2は、入力コマンドにより評価/試験データを設定、または入力コマンドで評価/試験データが指定されなかったとき、所定の評価/試験データを設定する評価/試験データ設定手段201と、入力コマンドにより目的とする評価/試験項目に対する評価/試験手段を選択、または入力コマンドにより目的とする評価/試験項目に対する評価/試験手段を選択しないとき、所定の評価/試験手段を選択するタスク選択手段202と、評価/試験対象のシステム内にある動作可能なCPU数をタスク数として設定するタスク数設定手段203と、タスク数設定手段で設定されたタスク数を生成するタスク生成手段204と、システムバスの各評価/試験手段毎の測定期待値を記憶する測定期待値記憶手段205と、評価/試験手段で算出された測定の結果値が格納される測定結果値記憶手段207と、測定結果値と測定期待値から評価/試験内容の良否判定を行い、表示部に結果を表示する比較判定手段206と、で構成されている。

20 【0012】図2に、評価/試験制御手段の一実施例の処理フローチャートを示す。以下、このフローにしたがって動作を説明する。

30 【0013】ステップS201：入力コマンドにより指定された評価/試験データを設定、または入力コマンドにより評価/試験データが指定されなかったとき、所定の評価/試験データを設定する。

【0014】ステップS202：入力コマンドにより目的とする評価/試験項目に対する評価/試験手段を選択、または入力コマンドにより目的とする評価/試験項目に対する評価/試験手段を選択されないとき、所定の評価/試験手段を選択する。

40 【0015】ステップS203：評価/試験対象のシステム内にある動作可能なCPU数をタスク数として設定する。

【0016】ステップS204：ステップS202で選択された評価/試験手段を、ステップS203で設定されたタスク数分起動し、またそれらのタスクが終了するのを監視する。

【0017】ステップS205：測定結果値記憶手段に格納された測定結果値と、測定期待値記憶手段に格納されている測定期待値を比較する。

50 【0018】ステップS206：ステップS205で比

5

較した結果が正常ならばステップS207に進み、正常でなければステップS208に進む。

【0019】ステップS207：測定結果値を表示部に表示する。そして、処理を終了する。

【0020】ステップS208：異常メッセージを表示部に表示する。そして、処理を終了する。

【0021】ステップS211：このステップは、ステップS204で起動される評価／試験手段の処理であり、所定の評価／試験項目を実行し、測定結果値を測定結果記憶手段に格納する。そして、処理を終了する。

【0022】図3に、メモリとプロセッサ間、またはプロセッサとプロセッサ間のシステムバス評価／試験の一実施例の処理フローチャートを示す。以下、このフローにしたがって動作を説明する。

【0023】ステップS301：対象とする評価／試験システムの2次キャッシュの4倍に当たる領域を連続する作業領域A、作業領域B、作業領域C、作業領域Dとしてメモリに獲得する。

【0024】ステップS302：評価／試験用の命令列を1次キャッシュに読込ませる。

【0025】ステップS303：2次キャッシュに対してライトバック動作を有効にする指示が行われているか判定する。有効の指示ならばステップS304に進み、有効の指示でなければステップS305に進む。

【0026】ステップS304：2次キャッシュに対してライトバック動作を有効にする設定を行う。そして、ステップS306に進む。

【0027】ステップS305：2次キャッシュに対してライトバック動作を有効にしない設定を行う。

【0028】ステップS306：ステップS301で獲得したメモリ上の作業領域A、作業領域B、作業領域C、作業領域Dの先頭アドレスから作業領域A、作業領域B、作業領域C、作業領域D順に全領域をリードアクセスする。

【0029】ステップS307：リードアクセスに要した時間を算出し、測定結果値として測定結果値記憶手段に格納する。そして、処理を終了する。

【0030】図4に、メモリ上に獲得される作業領域のリードアクセス手順図を示す。作業領域A、作業領域B、作業領域C、作業領域Dはメモリ上に連続して獲得されており、それぞれの大きさは2次キャッシュの容量と同じである。

【0031】作業領域のリードアクセス手順は、作業領域Aの先頭アドレスにある領域1、作業領域Bの先頭ア

6

ドレスにある領域2、作業領域Cの先頭アドレスにある領域3、作業領域Dの先頭アドレスにある領域4とアクセスし、次に作業領域Aの先頭アドレスの次のアドレス領域5、作業領域Bの先頭アドレスの次のアドレス領域6という具合に全領域をリードアクセスする。

【0032】なお、この例では作業領域A、B、C、Dの先頭アドレスからリードアクセスしたが、終了アドレスから先頭アドレスに向かってリードアクセスしてもよく、また、作業領域D、C、B、Aの順にリードアクセスしてもよい。

【0033】

【発明の効果】この発明は、上記に説明したような形態で実施され、以下の効果がある。

【0034】システムバスの評価／試験がテストプログラムにより行えるため、OSの開発が完了するのを待つ必要もなくなり、システムバスの単体試験からシステムバス評価／試験までの期間を大幅に短縮できる。また、システムバス評価／試験のテストプログラムは、OSのように複雑なコンポーネントの制御で動作しないため、ハードウェア障害が検出されても、障害の解析を短時間に行うことができる。

【0035】メモリとプロセッサ間、またはプロセッサとプロセッサ間のシステムバス評価／試験を容易にかつ短時間に実施することが可能となる。

【図面の簡単な説明】

【図1】 本発明の構成ブロック図である。

【図2】 評価／試験制御手段の一実施例の処理フローチャートである。

【図3】 メモリとプロセッサ間、またはプロセッサとプロセッサ間のシステム評価／試験の一実施例の処理フローチャートである。

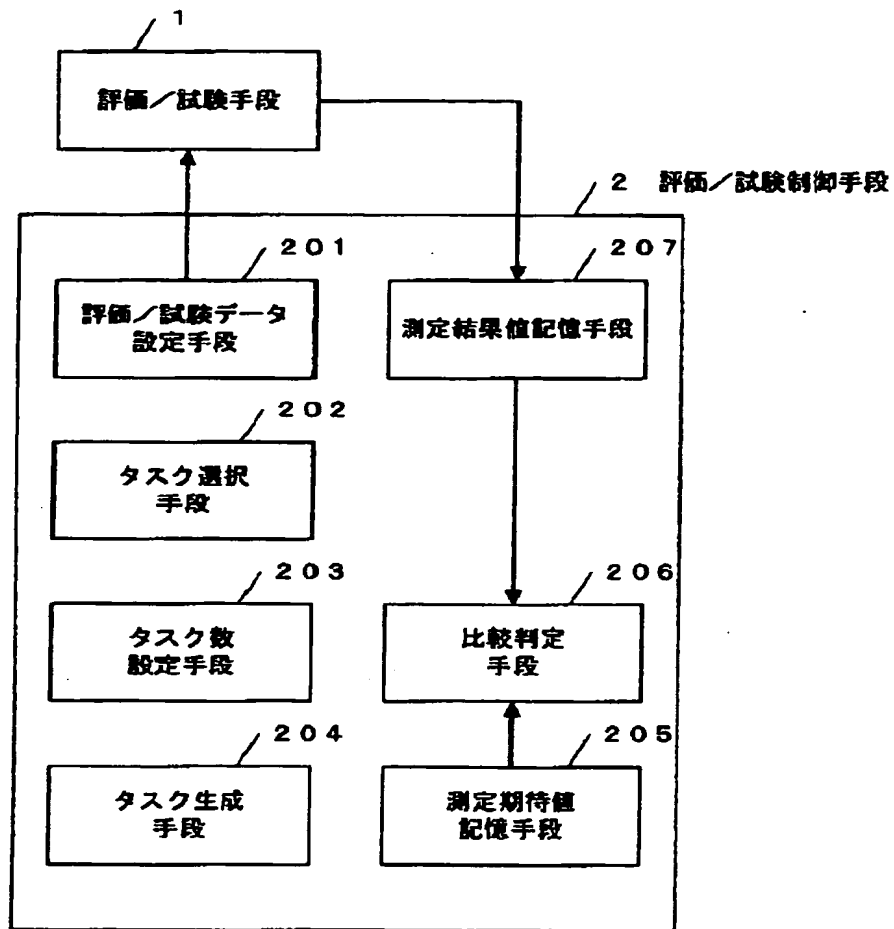
【図4】 メモリ上に獲得される作業領域のリードアクセス手順図である。

【符号の説明】

- 1 評価／試験手段
- 2 評価／試験制御手段
- 201 評価／試験データ設定手段
- 202 タスク選択手段
- 203 タスク数設定手段
- 204 タスク生成手段
- 205 測定期待値記憶手段
- 206 比較判定手段
- 207 測定結果値記憶手段

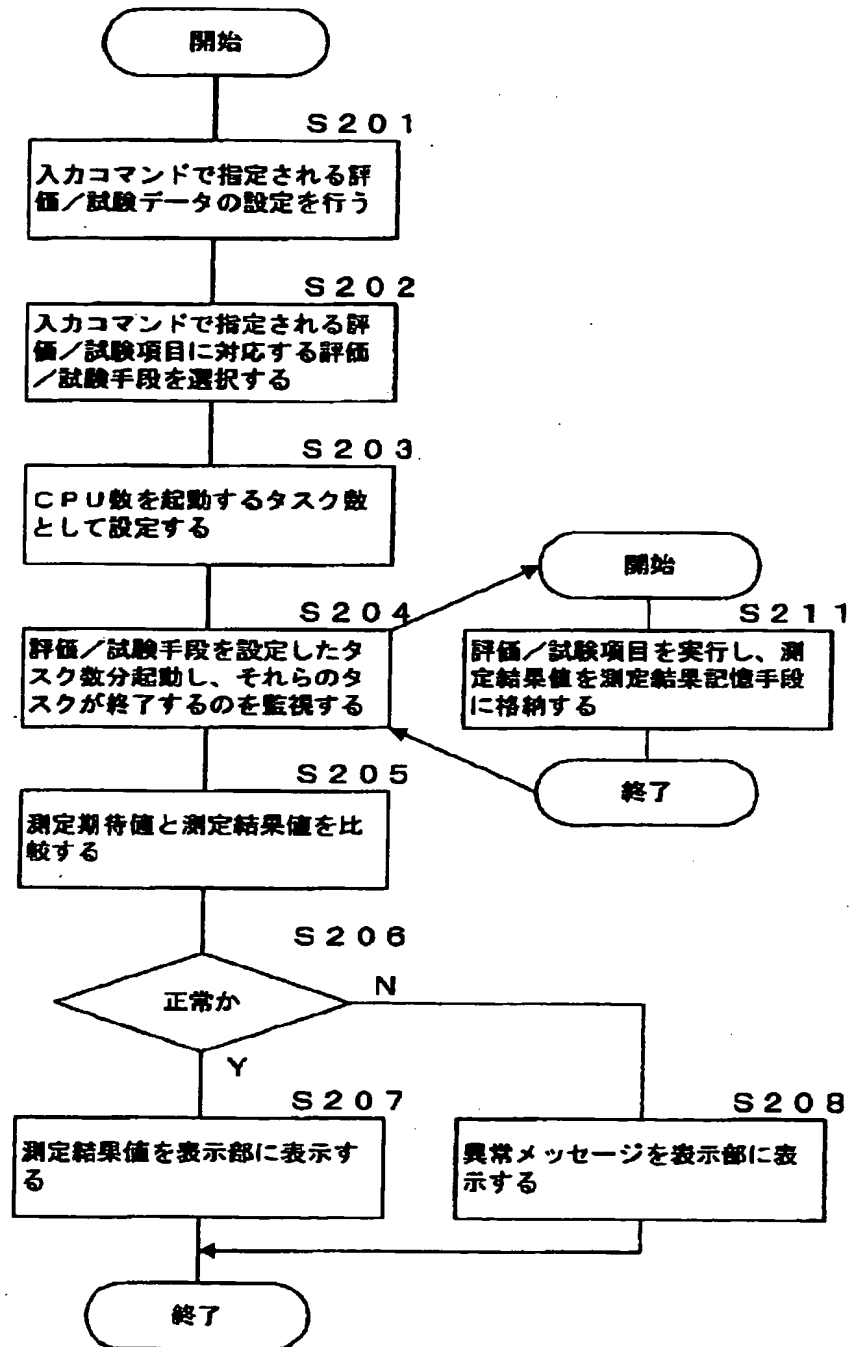
【図1】

本発明の構成ブロック図



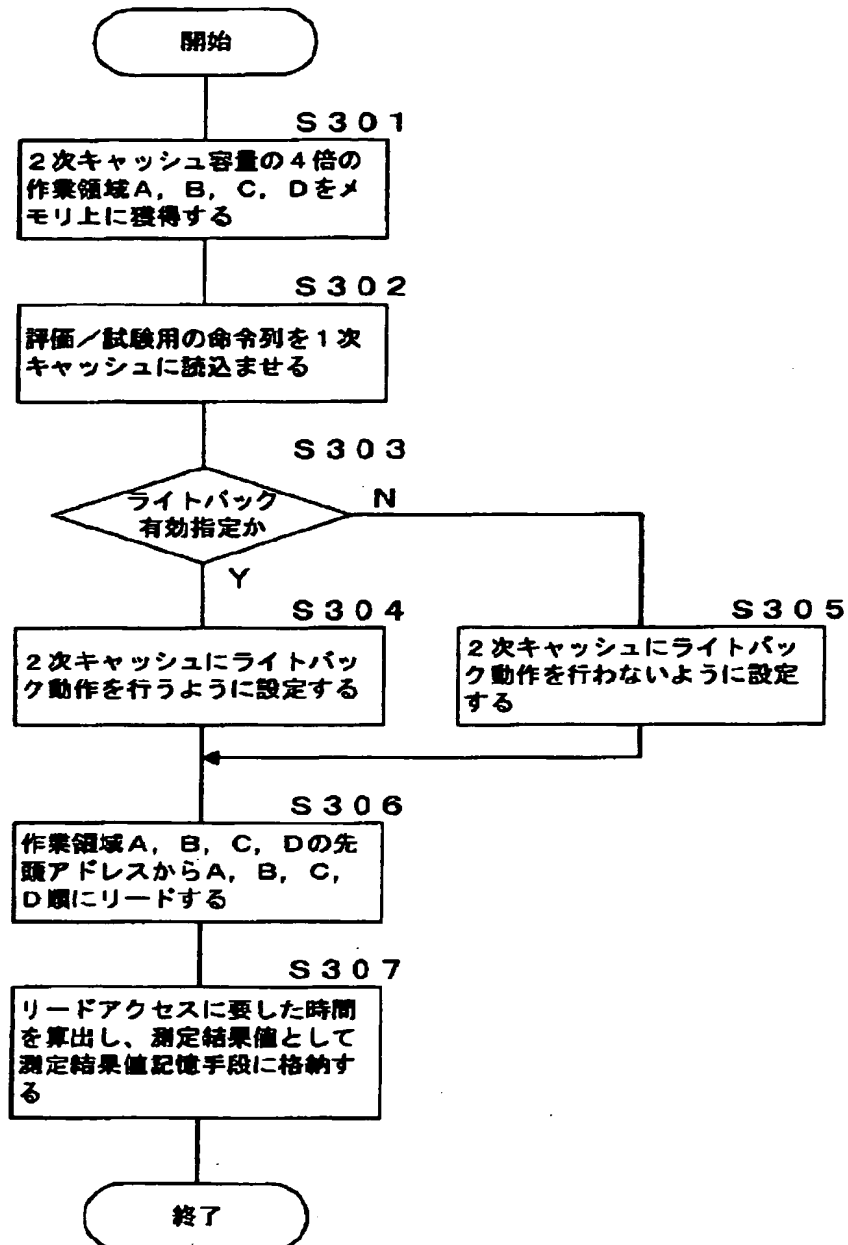
【図2】

評価／試験制御手段の一実施例の処理フローチャート



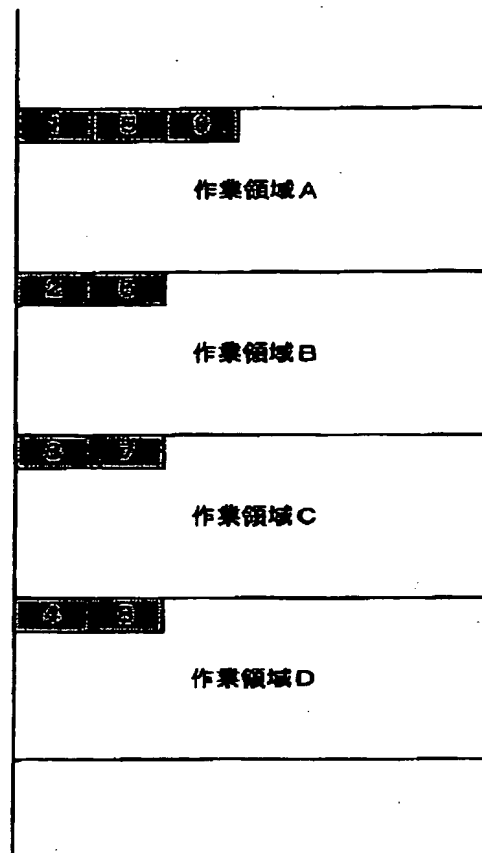
【図3】

メモリとプロセッサ間、またはプロセッサとプロセッサ間のシステムバ評価／試験の一実施例の処理フローチャート



【図4】

メモリ上に獲得される作業領域のリードアクセス手順図



1～9：リードアクセスの順番